

[11]公告編號: 427069

[44]中華民國 90年(2001) 03月21日

發明

全 7 頁

[51] Int.Cl. 06: H03K5/26

第 90121168 號  
初審(訴願)引証附件  
再審

[54]名稱: 可選擇觸發上升或下降輸入信號邊緣之計時電路

[21]申請案號: 088104989

[22]申請日期: 中華民國 88年(1999) 03月29日

[30]優先權: [31]09/071.601

[32]1898/05/01 [33]美國

[72]發明人:

路易吉·特奴露二世

美國

[71]申請人:

世界先進積體電路股份有限  
公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人: 陳啓舜 先生

BEST AVAILABLE COPY

1

2

[57]申請專利範圍:

1. 一種由輸入信號之輸入脈衝觸發產生輸出脈衝之計時電路，該輸入脈衝具有一領先邊緣與一尾部邊緣，該計時電路係包含：
  - 一第一節點，連接以接收該輸入信號；
  - 一第二節點；
  - 一邏輯電路，與該第一節點與該第二節點連接，其中邏輯電路在對輸入脈衝之領先邊緣產生響應時，可在第二節點產生一電壓準位而形成第一邏輯準位，以及在對輸入脈衝之尾部邊緣產生響應時，會在預設之延長時段後開始將該電壓準位轉換成第二邏輯準位；
  - 一開電路，具有一第一輸入端、一第二輸入端及一輸出端，此開電路之第一輸入端與第二輸入端分別連接至第一節點與第二節點，此開電路之功能為使開電路輸出端之電壓準位為第一

節點與第二節點其邏輯準位之函數；  
及

一閉鎖電路，連接至開電路之輸出端。

5. 2. 依申請專利範圍第1項所述之由輸入信號之輸入脈衝觸發產生輸出脈衝之計時電路，其中預設之延長時段長於該輸入信號之尾部邊緣至下一輸入信號之領先邊緣間之時間。
10. 3. 依申請專利範圍第2項所述之由輸入信號之輸入脈衝觸發產生輸出脈衝之計時電路，其中邏輯電路係包含一延遲電路，可將延遲電路所收到之信號作有延遲量之輸出，延遲電路提供一延遲量實質上與預設之延長時段相同。
15. 4. 依申請專利範圍第3項所述之由輸入信號之輸入脈衝觸發產生輸出脈衝之計時電路，其中輸出脈衝之脈衝寬度較輸入脈衝之脈衝寬度長。
20. 5. 依申請專利範圍第3項所述之由輸入信